

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-038013

(43)Date of publication of application : 07.02.1995

(51)Int.Cl. H01L 23/12
H01L 23/12
H01L 25/07
H01L 25/18

(21)Application number : 05-201741

(71)Applicant : ORIGIN ELECTRIC CO LTD

(22)Date of filing : 22.07.1993

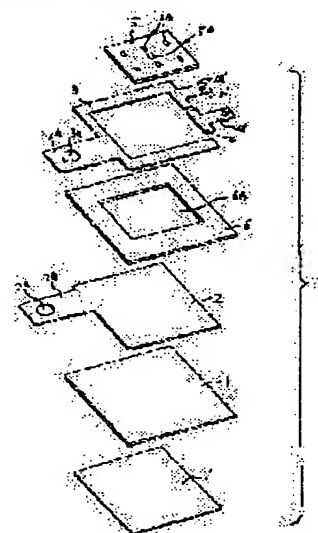
(72)Inventor : SUZUKI TAKAYUKI
SHINOHARA SHINICHI

(54) COMPOSITE BASE MEMBER AND POWER SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a mount base that has reduced inductance and which is capable of constructing a semiconductor device of a complicated circuit construction with relatively simple and less wirings.

CONSTITUTION: There are provided a first electrically insulating plate 1 to one surface of which a thin metal member is fixed, a first electrode pad 2 fixedly mounted on the other surface of the first electrically insulating plate, a second electrically insulating plate 6 disposed on the first electrically insulating plate 1 so as to hold the first electrode pad 2 therebetween and fixedly mounted together with the first electrode pad 2, and a second electrode pad 3 fixedly mounted on the second electrically insulating plate 6. The first electrode 2 includes an integral conductor terminal extending from part thereof and the second electrically insulating plate 6 fixedly mounts a semiconductor device 5 on a mount base having an opening for exposing at least part of the first electrode pad 2 and on the first electrode pad 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

805

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-38013

(43) 公開日 平成7年(1995)2月7日

(51) Int.Cl.⁵

H 0 1 L 23/12

識別記号

庁内整理番号

F I

技術表示箇所

3 0 1 Z

25/07

H 0 1 L 23/ 12

E

25/ 04

C

審査請求 未請求 請求項の数10 F D (全 8 頁) 最終頁に続く

(21) 出願番号

特願平5-201741

(22) 出願日

平成5年(1993)7月22日

(71) 出願人 000103976

オリジン電気株式会社

東京都豊島区高田1丁目18番1号

(72) 発明者 鈴木 隆之

東京都豊島区高田1丁目18番1号 オリジ

ン電気株式会社内

(72) 発明者 篠原 信一

東京都豊島区高田1丁目18番1号 オリジ

ン電気株式会社内

。1はトランジスタのゲートに
3つ付けあ

。半導体素子5は絶縁基板上に
3つ付け、他面は2の中

尚且にIGBTの2試あり

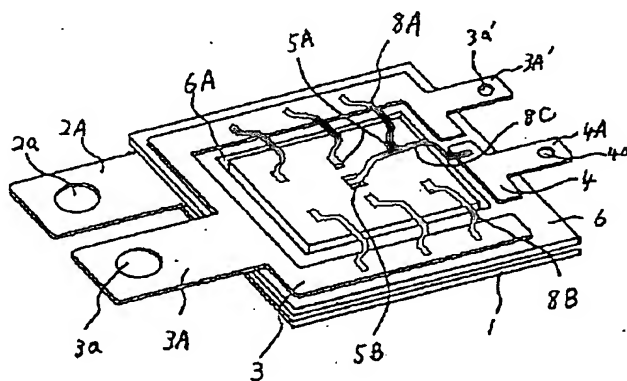
保護は2層2.18mm

(54) 【発明の名称】 複合ベース部材及び電力用半導体装置

(57) 【要約】

【目的】 インダクタンスが小さく、かつ複雑な回路構成の半導体装置を比較的簡易で少ない配線で構成することができるマウントベース及び電力用半導体装置を得ること。

【構成】 一方の面に薄い金属部材の固着された第1の電気絶縁板1と、この第1の電気絶縁板の他方の面に固着された第1の電極パッド2と、第1の電極パッド2を挟むように第1の電気絶縁板1上に配置され第1の電極パッド2と固着される第2の電気絶縁板6と、第2の電気絶縁板6に固着される第2の電極パッド3とを備え、第1の電極パッド2はその一部分から延びる同体の導電端子を有し、第2の電気絶縁板6は第1の電極パッド2の少なくとも一部分を露出させる開口部を有するマウントベース、及び第1の電極パッド2に半導体素子5を固着した電力用半導体装置。



【特許請求の範囲】

【請求項1】 一方の面に薄い金属部材の固着された第1の電気絶縁板と、該第1の電気絶縁板の他方の面に固着された第1の電極パッドと、該第1の電極パッドを挟むように前記第1の電気絶縁板上に配置され前記第1の電極パッドと固着される第2の電気絶縁板と、該第2の電気絶縁板に固着される第2の電極パッドとを備え、前記第1の電極パッドはその一部分から延びる導電端子を有し、前記第2の電気絶縁板は前記第1の電極パッドの少なくとも一部分を露出させる開口部を有することを特徴とする複合ベース部材。

【請求項2】 前記第1、第2の電極パッドの1つ以上から延びる導電端子を備えることを特徴とする請求項1に記載の複合ベース部材。

【請求項3】 前記第1の電極パッドから延びる導電端子と前記第2の電極パッドから延びる導電端子とが対向することを特徴とする請求項1に記載の複合ベース部材。

【請求項4】 前記第2の電極パッドから延びる導電端子と前記第3の電極パッドから延びる導電端子とが対向することを特徴とする請求項1に記載の複合ベース部材。

【請求項5】 前記第2の電極パッドが前記第2の電気絶縁板の第1の開口部より大きい窓部を有し、そのほぼ中央部分から延びる第1の導電端子と第2の導電端子とを備えたことを特徴とする請求項1に記載の複合ベース部材。

【請求項6】 前記第2の電気絶縁板が各電子部品素子を受け入れるための複数の開口部を備えたことを特徴とする請求項1に記載の複合ベース部材。

【請求項7】 半導体素子の第1の主電流電極、第2の主電流電極、制御信号電極をそれぞれ対応する第1、第2、第3の電極パッドに電気的に接続してなる半導体装置において、前記第1の電極パッドは第1の電気絶縁板に固着され、前記半導体素子面積以上の大きさの開口部を有する第2の電気絶縁板が前記第1の電極パッドを挟んで前記第1の電気絶縁板の上に配置され、前記半導体素子は前記第2の電気絶縁板の前記開口部における前記第1の電極パッドに固着され、該第2の電気絶縁板に前記第2の電極パッドが固着されたことを特徴とする電力用半導体装置。

【請求項8】 半導体素子の第1の主電流電極、第2の主電流電極、制御信号電極をそれぞれ対応する第1、第2、第3の電極パッドに電気的に接続してなる半導体装置において、前記第1の電極パッド及び第3の電極パッドは第1の電気絶縁板に固着され、前記半導体素子面積以上の大きさの第1の開口部とこれより小さい第2の開口部とを有する第2の電気絶縁板が前記第1の電極パッド及び第3の電極パッドを挟んで前記第1の電気絶縁板の上に配置され、前記半導体素子が前記第2の電気絶縁

板の前記第1の開口部における前記第1の電極パッドに固着されると共に、他の電子部品素子が前記第2の開口部における前記第1の電極パッドに固着され、前記第2の電気絶縁板に前記第2の電極パッドが固着されることを特徴とする電力用半導体装置。

【請求項9】 前記第2の電極パッドは第1、第2の導電端子を有し、前記第3の電極パッドから延びる導電端子と前記第2の電極パッドの第2の導電端子間に制御信号が印加されることを特徴とする請求項7又は請求項8のいずれかに記載の電力用半導体装置。

【請求項10】 前記第1の電極パッドに1つ以上の前記半導体素子の他に1つ以上の電子部品素子が固着され、その電子部品素子が導電部材により第4の電極パッドに接続されたことを特徴とする請求項7又は請求項8に記載の電力用半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、セラミック基板のような電気絶縁板に電極パッドを固着してなる複合ベース部材、又はその複合ベース部材に固着された半導体素子を備えた電力用半導体装置、特に大電力用のMOSFETのような高速スイッチング半導体モジュールに適した電力用半導体装置に関する。

【0002】

【従来の技術】 電気絶縁板上に種々の方法で固着した金属板からなる電極パッドに半導体素子をろう付してなる電力用半導体装置としては、特開昭60-103649号公報、特開昭61-140158号公報、特開昭62-209834号公報、或いは特開平4-287952号公報などに開示されたものがある。

【0003】 これらに開示された構造について、図9を用いて電界効果トランジスタ（以下FETという）の例を説明する。比較的厚い金属板からなる放熱板（図示せず）に固着された電気絶縁板1の一方の主面1Aに、第1の電極パッド2であるドレイン用電極パッド、第2の電極パッド3であるソース用電極パッド、及び第3の電極パッド4であるゲート用電極パッドが固着されている。半導体素子5であるFETチップはその下面にドレイン電極（図示せず）を、またその上面に複数のソース用小電極5Aとゲート電極5Bを備えており、ドレイン電極はドレイン用電極パッド2にハンダ付けされ、ソース用小電極5Aとゲート電極5Bはそれぞれソース用電極パッド3、ゲート用電極パッド4にボンディングワイヤ（図示せず）により接続される。そして第1、第2、第3の電極パッド2、3、4それぞれにL字形の第1の導電端子2A、第2の導電端子3A、第3の導電端子4Aがハンダ付けされる。なお、3A'はソース用電極パッド3にハンダ付けされる別の導電端子である。なお、図示していないが、複数のソース用小電極5Aはそれぞれのボンディングワイヤで単一のソース用電極パッド3

に接続され、ゲート電極5Bもボンディングワイヤで第3の電極パッド4に接続される。

【0004】

【発明が解決しようとする課題】しかしこの構造をもつ電力用半導体装置に限らず、従来の複合ベース部材にあっては電気絶縁板1の一方の主面1Aに、第1の電極パッド2であるドレイン用電極パッド、第2の電極パッド3であるソース用電極パッド、及び第3の電極パッド4であるゲート用電極パッドすべてを平面的に固着しており、それらの大きさを必要以上に小さくできないので、半導体装置のインダクタンスを十分に小さくできず、したがって高周波での動作に難点があった。また、ドレイン用電極パッド2への半導体素子5の搭載位置決めに位置決め工具を用いて行わねばならず、その上、第3の電極パッド2、3、4それぞれに第1、第2、第3の導電端子2A、3A、3A'、4Aをハンダ付けする工程が必要のために、製造し難いという問題点があった。また、複数の半導体素子及び他の電子部品素子を組み込む場合にボンディングワイヤが交差したり、長くならざるを得ないという欠点があった。

【0005】本発明はこのような従来の問題点を解決し、インダクタンスが小さく、比較的簡単な配線構成で製造のし易い電力用半導体装置、及びこのような電力用半導体装置を可能とする複合ベース部材を提供することを目的としている。

【0006】

【問題を解決するための手段】本発明は前述のような問題を解決するため、一方の面に薄い金属板の固着された第1の電気絶縁板と、該第1の電気絶縁板の他方の面に固着された第1の電極パッドと、該第1の電極パッドを挟むように前記第1の電気絶縁板上に配置され前記第1の電極パッドと固着される第2の電気絶縁板と、該第2の電気絶縁板に固着される第2の電極パッドとを備え、前記第1の電極パッドはその一部分から延びる同体の導電端子を有し、前記第2の電気絶縁板は前記第1の電極パッドを露出させる開口部を有する複合ベース部材、又はこの複合ベース部材を用いた電力用半導体装置を提供するものである。

【0007】

【実施例】以下図面により本発明の実施例を説明する。40
先ず図1及び図2により本発明の一実施例を説明すると、第1の電気絶縁板1は通常の方法でその金属化された裏面が薄い金属板1'を介して熱電導の良好な銅板などからなる放熱板(図示せず)に固着されるセラミック基板のようなものからなり、第1の電気絶縁板1の予め金属化された表面には薄い銅板などからなる第1の電極パッド2がろう材などで固着される。第1の電極パッド2からは、金属板の打ち抜き工程で第1の電極パッド2と同時に形成された導電端子2Aが延び、導電端子2Aは取り付け用の丸穴2aを有する。

【0008】次に本発明の特徴でもある開口部6Aを有する第2の電気絶縁板6が第1の電極パッド2上に固着される。第2の電気絶縁板6も表面及び裏面が予め金属化されたセラミック基板のようなものであり、前述と同様にろう材で固着される。開口部6Aは後述するが、半導体素子5がその開口部内に入る大きさ以上の大きさを持ち、開口部6Aが半導体素子5より若干大きい程度であれば、開口部6Aは半導体素子5の位置決めを行える。ここで、第1の電極パッド2は第2の電気絶縁板6の開口部6Aより大きな面を持ち、開口部6A全面にわたって第1の電極パッド2が露出している。

【0009】第2の電極パッド3はコの字状の部分¹⁰を有し、そのコの字状の部分は半導体素子5に沿って配置される。第2の電極パッド3は導電端子3A、3A'を有し、第3の電極パッド4は導電端子4Aを有する。これら電極パッド3と4は第2の電気絶縁板6にろう材などにより固着される。導電端子3A'と導電端子4Aは、この間に制御信号電力が供給されるので、制御信号路をできるだけ短くしてインダクタンスを小さくするため、²⁰互いに近くに配置される。ここでは説明の都合上、それぞれの部材を順次ろう付けしたが、実際の製造工程では各部材、あるいはそれらの内の一部分の部材をろう材を介して順次積み重ね、加圧力を加えた状態で加熱処理を行うことにより、半導体素子5を搭載する複合ベース部材7を作るのが合理的である。

【0010】しかる後、半導体素子5を第2の電気絶縁板6の開口部6Aに入れて半導体素子5の裏面に備えられた第1の主電流電極(図示せず)を第1の電極パッド2にろう付けする。半導体素子5の上面には第2の主電流電極5Aを備え、この第2の主電流電極5Aは半導体素子5の上面にほぼ平行に2列に配置された複数の小電極からなり、これら複数の小電極はそれぞれ長さの等しいボンディングワイヤ8A、8Bにより、第2の電極パッド3のコの字状部分の接続される。また、半導体素子5の上面に形成された制御電極5Bはボンディングワイヤ8Cにより第3の電極パッド4に接続される。その後、半導体素子5は通常の絶縁処理が施され、必要があれば各導電端子2A、3A、3A'、4Aはほぼ直角に折り曲げられる。

【0011】この実施例では、第1の電極パッド2と第2の電極パッド3とが第2の電気絶縁板6を挟んで向き合っているため、第1の電極パッド2と第2の電極パッド3を含む主電流路のインダクタンスは小さくなる。

【0012】また、第2の電気絶縁板6の開口部6Aの大きさを半導体素子5より若干大きくしておくことにより、開口部6Aで半導体素子5の位置決めをかなり正確にできる。

【0013】さらに、半導体素子5の複数の小電極が長さの等しいボンディングワイヤ8A、8Bにより第2の電極パッド3のコの字状部分に接続されているので、更

にインダクタンスが小さくなり、良好な高周波動作を行うことができる。

【0014】さらにまた、制御信号用の導電端子4 Aと主電流の流れない導電端子3 A'との間に制御信号を印加する構造になっており、制御信号電流路のインダクタンスが低減されているので、このことがさらに一層良好な高周波動作を可能としている。なお、2 a, 3 a, 3 a', 4 aは対応する導電端子2 A, 3 A, 3 A', 4 Aにそれぞれ備えられた取付け用の丸穴である。

【0015】次に図3により他の一実施例について説明する。図1及び図2に示した記号と同一の記号は相当する部材を示すものとする。この実施例では第1の電気絶縁板1上に導電端子2 Aを備えた第1の電極パッド2と導電端子4 Aをもつ第3の電極パッド4とが配置され、固着される。その上に開口部6 Aとこれに比べて小さい開口部6 Bを備えた第2の電気絶縁板6が配置され固着される。この状態では開口部6 Aからは第1の電極パッド2の一部分が露出し、小さい開口部6 Bからは第3の電極パッド4の一部分が露出する。その露出した第1の電極パッド2に半導体素子5を固着し、また露出した第3の電極パッド4に抵抗チップ9を固着する。

【0016】次に第2の電気絶縁板6上に、半導体素子5及び抵抗チップ9を露出させる大きさの窓部をもつ第2の電極パッド3が固着され、この第2の電極パッド3は対辺に導電端子3 A, 3 A'を備えている。半導体素子5の各第2の主電流電極5 Aはそれぞれのボンディングワイヤ8 A, 8 Bにより至近の第2の電極パッド3の接続される。また、半導体素子5の制御電極5 Bはボンディングワイヤ8 Cにより抵抗チップ9に接続される。したがって、制御電極5 Bは抵抗チップ9を介して第3の電極パッド4に接続されることになる。ここで流れる電流に対するインダクタンスのバランスを図るため、導電端子2 Aは第1の電極パッド2の一辺のほぼ中央から延び、導電端子3 A, 3 A'は第2の電極パッド3の各対辺のほぼ中央から延びている。導電端子4 Aも同様に第3の電極パッド4のほぼ中央から延びている。

【0017】ここで重要なことは、第1の電極パッド2の導電端子2 Aと第2の電極パッド3の導電端子3 Aとが空間を隔てて対向しており、かつ第2の電極パッド3の導電端子3 A'と第3の電極パッド4の導電端子4 Aとが空間を隔てて対向していることである。これにより主電流が流れる導電端子2 Aと導電端子3 Aのインダクタンスは小さくなるから、この半導体装置の高周波応答を更に改善でき、また、抵抗チップ9の位置決めが容易となり、その機械的保護もできる。

【0018】次に図4により本発明の他の一実施例について説明する。図1乃至図3に示した記号と同一の記号は相当する部材を示すものとする。この半導体装置は、図4(A)に示すようにMOS形電界効果トランジスタTのゲートに抵抗Rを接続すると共に、そのドレインと

直列にショットキバリアダイオードSを直列に接続し、かつそれらに跨がって高速のダイオードDを逆並列に接続した実施例である。

【0019】同図(D)に示すように第1の電気絶縁板1の上面には第1の電極パッド2、第3の電極パッド4、及び第4の電極パッド10がろう材で固着されている。電極パッド4、電極パッド10からはそれぞれ導電端子4 A, 10 Aが延びている。各電極パッドにおける鎖線で囲んだ枠は後でMOS形電界効果トランジスタの半導体チップなどが搭載される箇所を示している。

【0020】第2の電気絶縁板6は、同図(C)に示すようにMOS形電界効果トランジスタTの半導体チップ5が受け入れられる開口部6 A、抵抗Rの抵抗チップ9が受け入れられる開口部6 B、ショットキバリアダイオードSの半導体チップ11が受け入れられる開口部6 C、及びダイオードDの半導体チップ12が受け入れられる開口部6 Dを備える。開口部6 Dは後述するが、ボンディングのためのスペース6 dも有する。このような第2の電気絶縁板6が同図(D)に示すようなアセンブリの上に配置され、ろう材などで各電極パッド2, 4, 10及び導電端子4 A, 10 Aの一部分に固着される。

【0021】次に同図(B)に示すように、図3の実施例と同様の第2の電極パッド3が第2の電気絶縁板6上に固着され、第2の電気絶縁板6の各開口部6 A~6 Dにおいて露出せる各電極パッドに電子部品チップが搭載され固着される。つまり、開口部6 Aを通してMOS形電界効果トランジスタTの半導体チップ5のドレイン電極が第1の電極パッド2に固着され、開口部6 Bを通して抵抗Rの抵抗チップ9が第3の電極パッド4に固着され、そして開口部6 Cを通してショットキバリアダイオードSの半導体チップ11のカソード電極が第1の電極パッド2に固着され、さらにダイオードDの半導体チップ12のカソード電極が開口部6 Dを通して第4の電極パッド10に固着される。

【0022】次にボンディングワイヤによる接続が行われるが、半導体チップ5及び抵抗チップ9については図3と同様であるので説明を省く。ショットキバリアダイオードSの半導体チップ11のアノード電極(図示せず)は、複数の短いボンディングワイヤ8 Dにより第4の電極パッド10に接続される。そしてダイオードDの半導体チップ12のアノード電極(図示せず)が複数の短いボンディングワイヤ8 Eにより第2の電極パッド3に接続される。この実施例でも前に述べた効果が得られると共に、半導体チップ11, 12の位置決めも容易にできる。

【0023】次に図5により半導体素子を並列配置にした他の一実施例について説明する。図1乃至図4に示した記号と同一の記号は相当する部材を示すものとする。この実施例は基本的には図3のものと同じであり、第1の電極パッド2には第2の電気絶縁板6の各開口部6

A, 6 A' を通して2つの半導体素子5と5' とが搭載されると共に、開口部6 B, 6 B' を通して2つの抵抗チップ9, 9' が搭載される。第2の電極パッド3は半導体素子5と抵抗チップ9, 半導体素子5' と抵抗チップ9' に対応する2つの窓部を備えている。半導体素子5' の複数の第2の主電流電極5 A' のそれぞれも対応するボンディングワイヤ8 A', 8 B' により至近の第2の電極パッド3の接続され、制御電極5 B' もボンディングワイヤ8 C' により抵抗チップ9' に接続される。この実施例でも図3の半導体装置と同等の効果が得られる。

【0024】次に図6に示す実施例は、図4と図5の実施例を組み合わせた半導体モジュールであり、同図

(A)に示すような回路を単一の半導体装置としたものである。図1乃至図5に示した記号と同一の記号は相当する部材を示すものとする。

【0025】同図(D)は、前記実施例と同様に単一の第1の電気絶縁板(図示せず)に固着された第1の電極パッド2, 導電端子4 Aを備える第3の電極パッド4及び導電端子10 Aを備える第4の電極パッド10を示す。第1の電極パッド2には、MOS形電界効果トランジスタT1, T2の半導体チップ5, 5', 及びショットキバリアダイオードS1, S2の半導体チップ11, 11' が搭載され、第3の電極パッド4には抵抗R1, R2の抵抗チップ9, 9' が固着される。そして第4の電極パッド10上にはダイオードD1, D2のダイオードチップ12, 12' が搭載され固着される。第2の電極パッド3は図4に示したものと同様に2つの窓部を有し、第2の電気絶縁板6は図4に示したものを2枚並置した構造になっている。この実施例も前記実施例と同様な効果が得られる。

【0026】次に図7に示す実施例は、同図(A)に示すようにMOS形電界効果トランジスタT1, T2を直列接続してハーフブリッジ構成にした実施例であり、図1乃至図6に示した記号と同一の記号は相当する部材を示すものとする。

【0027】同図(D)は、導電端子2 Aを備える電極パッド2, 導電端子2' Aを備える電極パッド2', 導電端子4 Aを備える電極パッド4及び導電端子4' Aを備える電極パッド4' を示し、前記実施例と同様に単一の第1の電気絶縁板(図示せず)に固着される。電極パッド2には、MOS形電界効果トランジスタT1の半導体チップ5, 電極パッド2' にはMOS形電界効果トランジスタT2の半導体チップ5' が搭載され、そして電極パッド4には抵抗R1の抵抗チップ9, 電極パッド4' にはR2の抵抗チップ9' がそれぞれ固着される。

【0028】同図(C)は、MOS形電界効果トランジスタT1の半導体チップ5のソース用の電極パッド3とMOS形電界効果トランジスタT2の半導体チップ5' ソース用の電極パッド3' を示す。電極パッド3は導電

端子3 A' を有し、電極パッド3' は導電端子3' Aと3' A' を有する。第2の電気絶縁板6は、開口部6 Aと6 B, 6 A' と6 B' を有する他に、その中央部にボンディング用の開口部6 Eを備えている。その開口部6 Eを通して電極パッド2' の一部分が露出しており、ボンディングワイヤ8 BはMOS形電界効果トランジスタT1の半導体チップ5のソース用電極から電極パッド3にボンディングされた後、続けて開口部6 Eを通して一部分が露出した電極パッド2' にボンディングされる。

【0029】したがってこの構成によれば、MOS形電界効果トランジスタT1とT2はボンディングワイヤ8 Bと電極パッド2' を通して直列接続され、導電端子2 Aと3' Aとが一对の主電流端子となり、導電端子2' Aが交流出力端子となる。また、導電端子3 A' と4 A, 導電端子3' A' と4' Aの間に第1, 第2のゲート信号が印加される。この実施例においても、半導体モジュール単体でハーフブリッジを構成し、できる限り電流路及びゲート信号路を短くしたのでインダクタンスを最小にでき、したがって高周波動作が可能な電力用MOS形電界効果トランジスタを得ることができる。

【0030】次に図8に示す実施例は、図4(A)に示す回路を2つ直列してハーフブリッジ構成にした実施例であり、図1乃至図7に示した記号と同一の記号は相当する部材を示すものとする。

【0031】同図(D)は、電極パッド2と2', 導電端子4 Aを備える電極パッド4と導電端子4' Aを備える電極パッド4', 及び導電端子10 Aを備える電極パッド10と導電端子10' Aを備える電極パッド10' を示し、前記実施例と同様に単一の第1の電気絶縁板(図示せず)に固着される。電極パッド2にはMOS形電界効果トランジスタT1の半導体チップ5とショットキバリアダイオードS1の半導体チップ11が、また電極パッド2' にはMOS形電界効果トランジスタT2の半導体チップ5' とショットキバリアダイオードS2の半導体チップ11' が搭載される。電極パッド4, 4' にはそれぞれ抵抗R1, R2の抵抗チップ9, 9' が固着され、また電極パッド10と10' にはそれぞれダイオードD1とD2のダイオードチップ12, 12' が固着される。

【0032】複数のボンディングワイヤ8 Dは、ショットキバリアダイオードS1の半導体チップ11のアノード電極を第2の電気絶縁板6の開口部6 Dのボンディング用のスペース6 dから露出する電極パッド10に接続する。複数のボンディングワイヤ8 Eは、ダイオードD1のダイオードチップ12のアノード電極を電極パッド3に接続した後、続いて第2の電気絶縁板6の中央部の開口部6 Eを通して電極パッド10に接続する。半導体チップ11' とダイオードチップ12' については、ボンディングワイヤ8 D' 8 E' により図4と同様に接続される。この実施例も前述実施例と同様な効果が得られ

る。

【0033】なお、以上の実施例では半導体素子としてMOS形電界効果トランジスタについて述べたが、静電誘導形半導体装置及びIGBT（絶縁ゲート形バイポーラトランジスタ）など比較的高周波応答の良好な電力用半導体装置に適用しても前述と同様な効果が得られる。また、図5乃至図8の実施例で、第2の電気絶縁板6は標準化のために半導体素子と同数の電気絶縁板からなっても良い。この場合、電気絶縁板と電気絶縁板との間に適当な間隔を設けることにより、開口部6Eの代わりとすることができる。さらに、各電子部品素子の位置決めがさほど要求されない場合には、第2の開口部はそれが受け入れる電子部品素子よりかなり大きな面積のもので良く、また複数の電子部品素子を受け入れる任意の形状でも良い。

【0034】

【発明の効果】以上述べたように、本発明によれば、主電流路及び制御電流路のインダクタンスを小さくできるので、高周波応答の良好な電力用半導体装置を得ることができる。また、複雑な回路構成の半導体装置を比較的簡易で少ない配線で構成できると同時に、第2の電気絶縁板で各電子部品素子の位置決めもできるので、製造が容易となる。

【図面の簡単な説明】

【図1】本発明の一実施例を説明するための図である。

【図2】本発明の他の一実施例を説明するための図である。

【図3】本発明の他の一実施例を説明するための図である。

【図4】本発明の他の一実施例を説明するための図である。

る。

【図5】本発明の他の一実施例を説明するための図である。

【図6】本発明の他の一実施例を説明するための図である。

【図7】本発明の他の一実施例を説明するための図である。

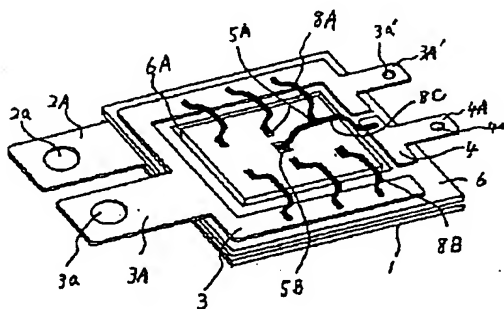
【図8】本発明の他の一実施例を説明するための図である。

【図9】従来の半導体装置の一例を説明するための図である。

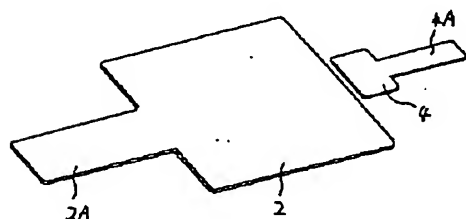
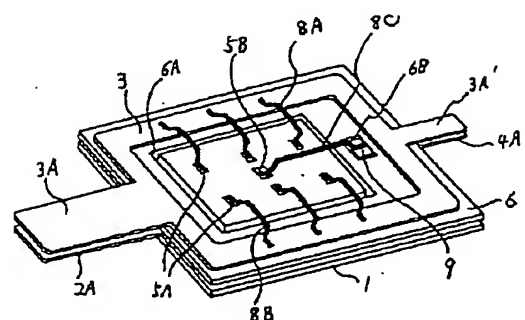
【符号の説明】

- 1・・・第1の電気絶縁板
- 2・・・第1の電極パッド
- 2A・・・導電端子
- 3・・・第2の電極パッド
- 3A・・・導電端子
- 4・・・第3の電極パッド
- 4A・・・導電端子
- 5・・・半導体素子
- 6・・・第2の電気絶縁板
- 6A～6E・・・第2の電気絶縁板の開口部
- 7・・・複合ベース部材
- 8A～8E・・・ボンディングワイヤ
- 9・・・抵抗チップ
- 10・・・第4の電極パッド
- 10A・・・導電端子
- 11・・・半導体チップ
- 12・・・ダイオードチップ

【図1】



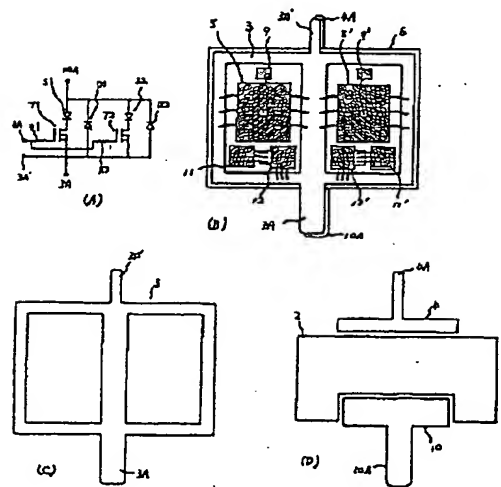
【図3】



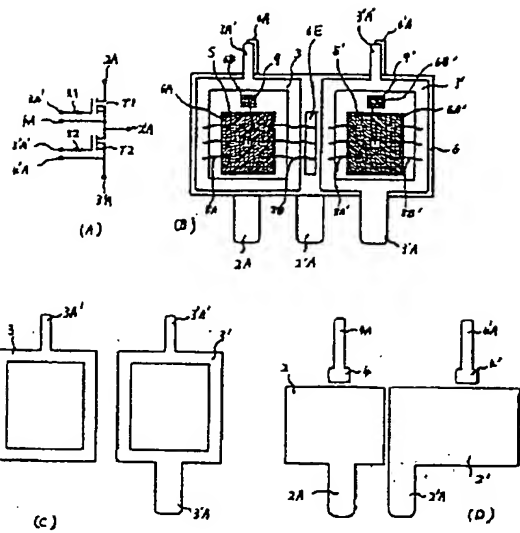
普任記



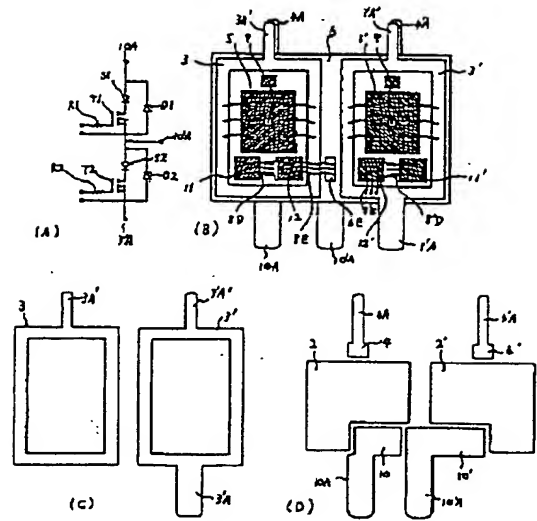
【图 6】



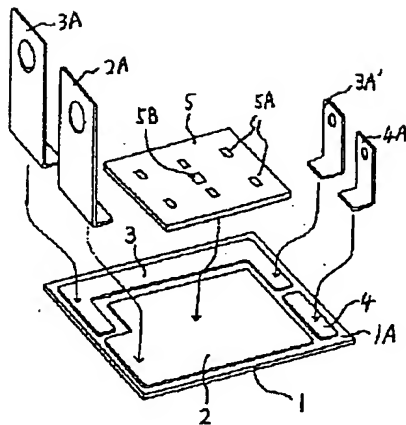
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.⁶

H 0 1 L 25/18

識別記号

庁内整理番号

F I

技術表示箇所

THIS PAGE BLANK (USPTO)